

УДК 621.396.69

АНАЛИЗ ВЛИЯНИЯ ОТКЛОНЕНИЙ НА НЕЛИНЕЙНОСТЬ В ГИБРИДНОМ RC-ЦАП

М.С. Енученко, Н.В. Квашина, М.М. Пилипко

Санкт-Петербургский политехнический университет Петра Великого

Настоящая статья посвящена анализу влияния отклонений элементов на нелинейность N -разрядного гибридного RC-цифроаналогового преобразователя. В рассматриваемой структуре гибридного цифроаналогового преобразователя старшие значащие разряды обрабатываются емкостным бинарным сегментом, в то время как младшие значащие разряды – резистивным унарным. Так как рассматриваемый цифроаналоговый преобразователь гетерогенный, т. е. элементы разных сегментов различны и, следовательно, имеют разную площадь, что приводит к смещению оптимального отношения разрядностей сегментов для минимизации площади преобразователя. В этой связи целью данной работы является определение оптимальных разрядностей сегментов в зависимости от соотношения площадей резистора и конденсатора. Разработана параметрическая математическая модель рассматриваемого преобразователя в MATLAB, учитывающая случайный разброс элементов в обоих сегментах. Проведено моделирование влияния разброса элементов на дифференциальную и интегральную нелинейности. При оптимальном выборе разрядностей сегментов и росте разрядности цифроаналогового преобразователя нелинейность ухудшается. Для улучшения линейности необходимо увеличение площади преобразователя либо за счет увеличения площади компонентов, либо за счет увеличения разрядности емкостного сегмента при сохранении той же площади компонентов. Младший резистивный сегмент оказывает сниженное влияние на нелинейность в отличие от старшего емкостного сегмента. При площади резистора, составляющей от 0,1 до 10 площадей конденсатора, вклад резистивного сегмента в дифференциальную нелинейность на два порядка меньше, чем емкостного. При увеличении разрядности и оптимальном выборе разрядности сегментов вклад младшего резистивного сегмента в интегральную нелинейность снижается.

Ключевые слова: цифроаналоговый преобразователь, гибридный RC-ЦАП, отклонение, емкостный, резистивный, нелинейность, DNL, INL.

DOI: 10.17212/1727-2769-2024-2-32-42

Введение

В современных телекоммуникационных системах высокостребованы интерфейсные электронные устройства, так как требуется обеспечить связь между аналоговой и цифровой частями схемы. Одним из таких устройств является цифроаналоговый преобразователь (ЦАП), осуществляющий преобразование цифрового кода в соответствующий аналоговый сигнал, например, заряд, напряжение или ток. Процесс преобразования заключается в формировании аналогового сигнала, пропорционального весу разрядов цифрового кода, с помощью электронных компонентов, называемых взвешивающими элементами ЦАП (далее «элементы»), например, резисторов или конденсаторов. В соответствии с отношением весов элементов выделяют две распространенные архитектуры ЦАП – унарную и бинарную. Унарная архитектура использует элементы с равными весами, в то время как элементы бинарной архитектуры являются двоично-взвешенными, т. е. их веса равны 2^M , где M – номер разряда в диапазоне от 0 до $N - 1$, где N – разрядность ЦАП. Кроме упомянутых вариантов, также выделяют сегментную архитектуру

туру ЦАП, которая содержит унарную и бинарную части или сегменты (далее «сегменты») и является компромиссным решением между унарной и бинарной архитектурами.

В качестве элементов ЦАП могут выступать три основных типа электронных компонентов: транзисторы, выполняющие роль источников тока, резисторы и конденсаторы. Преимущество ЦАП на источниках тока заключается в отсутствии выходного буфера, что улучшает линейность характеристики преобразования ЦАП и его быстродействие, при этом снижая потребляемую мощность. Однако отсутствие выходного буфера препятствует обеспечению широкого диапазона значений выходного напряжения, например, от уровня земли до напряжения питания. При этом значение сопротивления нагрузки для таких ЦАП может изменяться в строго ограниченном диапазоне. В целях обеспечения полного диапазона значений выходного напряжения необходимо рассматривать ЦАП с выходным буфером, который строится на основе резисторов [1] или конденсаторов [2].

С точки зрения занимаемой площади на кристалле, резистивный ЦАП является наиболее компактным решением, использующим выходной буфер [3–6]. Тем не менее такой преобразователь при высокой разрядности потребует наличия нескольких буферов, что наряду с резистивным делителем внесет вклад в потребление мощности. Снижение потребления возможно достичь в случае емкостного ЦАП, элементы которого к тому же менее подвержены технологическому разбросу в отличие от резисторов. Однако при этом конденсаторы более чувствительны к паразитным компонентам на топологии схемы, ухудшающим линейность, влияние которых усиливается с ростом разрядности ЦАП [7–9]. Таким образом, компромиссным решением для высокоразрядных ЦАП с низким потреблением мощности является гибридный RC-ЦАП, состоящий из резистивного и емкостного сегментов [10–13]. За счет сниженной разрядности емкостного сегмента общая длина проводников в гибридном RC-ЦАП уменьшена, что снижает влияние паразитных параметров на значения элементов. Кроме того, для такого ЦАП необходим только один выходной буфер.

Качество согласования элементов ЦАП главным образом определяет линейность его передаточной характеристики. В случае гибридного RC-ЦАП параметры отклонений резисторов и конденсаторов наряду с их площадями различны. Это обстоятельство приводит к смещению оптимального отношения разрядностей сегментов, которое обеспечивает минимальную площадь на кристалле, относительно гомогенного случая. Кроме того, предыдущие публикации не углублялись во влияние параметров структуры и компонентов схемы на нелинейность ЦАП. В связи с этим целью настоящей работы является исследование зависимости оптимального отношения сегментов от параметров элементов, а также анализ влияния отклонений рассматриваемого гибридного сегментного RC-ЦАП на нелинейность.

1. Структура гибридного RC-ЦАП

На рис. 1 изображен рассматриваемый N -разрядный гибридный RC-ЦАП [2], который состоит из двух сегментов: K -разрядный бинарный емкостный сегмент для старших значащих разрядов (СЗР) и $(N-K)$ -разрядный унарный резистивный сегмент для младших значащих разрядов (МЗР). Работа обоих емкостного и резистивного сегментов управляется сигналами M и L соответственно. Сигнал RST_C отвечает за сброс емкостного массива для предотвращения накопления остаточного заряда.

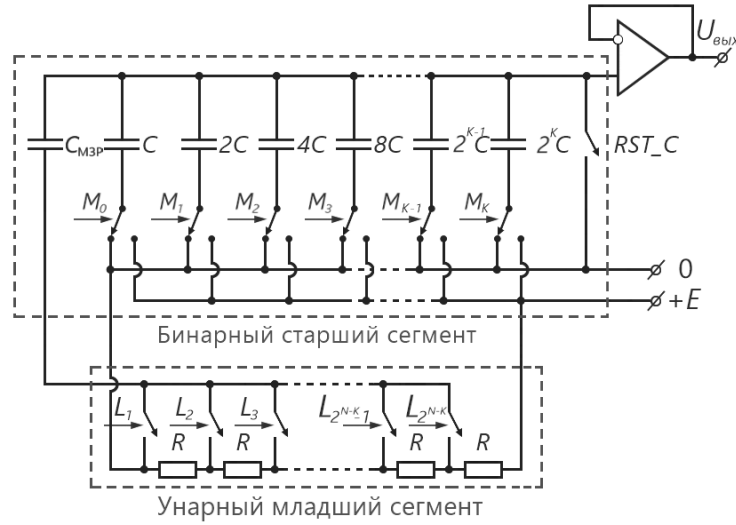


Рис. 1 – Структура рассматриваемого гибридного RC-ЦАП

Fig. 1 – The considered hybrid RC-DAC structure

С точки зрения минимизации площади, для гомогенного ЦАП (содержит элементы только одного типа) оптимальным решением являются равные разрядности сегментов. Из-за различных площадей резисторов и конденсаторов оптимальное отношение разрядностей сегментов в гибридном RC-ЦАП смещено. С учетом условия минимизации площади оптимальное отношение обоих сегментов гибридного ЦАП (без учета проводников) может быть получено из выражения (1):

$$Q(N, K) = 2^K + m \cdot 2^{N-K_{\text{опт}}} \quad (1)$$

где $Q(N, K)$ – общая площадь обоих сегментов ЦАП; N – разрядность ЦАП; $K_{\text{опт}}$ – оптимальная разрядность емкостного сегмента и m – отношение площадей компонентов (площадь резистора на площадь конденсатора).

Минимум функции $Q(N, K)$ определяется ее первой производной:

$$Q'(N, K_{\text{опт}}) = \frac{dQ(N, K)}{dK_{\text{опт}}} = 0,$$

$$Q'(N, K) = \ln 2 \cdot 2^K - m \cdot \ln 2 \cdot 2^{N-K}.$$

Следовательно, выражение для оптимальной разрядности емкостного сегмента $K_{\text{опт}}$ может быть получено из следующего выражения:

$$\ln 2 \cdot 2^{K_{\text{опт}}} - m \cdot \ln 2 \cdot 2^{N-K_{\text{опт}}} = 0,$$

$$2^{K_{\text{опт}}} = m \cdot 2^{N-K_{\text{опт}}},$$

$$K_{\text{опт}} = \frac{\log_2 m + N}{2} = \log_4 m + \frac{N}{2},$$

$$K_{\text{опт}} = \log_2 m + N - K_{\text{опт}},$$

$$K_{\text{опт}} = \frac{\log_2 m + N}{2} = \log_4 m + \frac{N}{2}. \quad (2)$$

Таким образом, было получено выражение (2) для оптимальной разрядности $K_{\text{опт}}$. Для фиксированной разрядности ЦАП значение $K_{\text{опт}}$ однозначно определяет разрядность второго сегмента, которая равна $N - K_{\text{опт}}$. На рис. 2 изображены зависимости оптимальной разрядности $K_{\text{опт}}$ от отношения площадей элементов m для набора разрядностей ЦАП от 8 до 14. Когда параметр равен 1, что справедливо для гомогенного случая ЦАП, оптимальные разрядности обоих сегментов равны $N/2$. В гетерогенном ЦАП, когда площадь конденсаторов увеличивается относительно площади резисторов, $K_{\text{опт}}$ снижается в целях компенсации присутствующей разницы между площадями обоих сегментов.

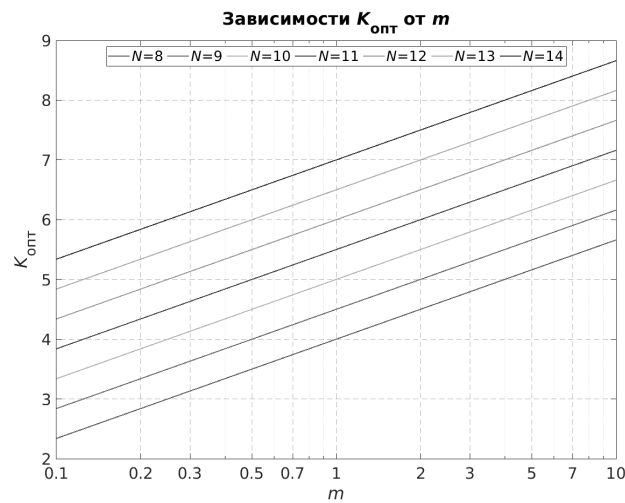


Рис. 2 – Зависимости $K_{\text{опт}}$ от m

Fig. 2 – Dependences of K_{opt} on m

Для построения сегмента, управляемого СЗР, наиболее подходящими элементами являются конденсаторы благодаря тому, что они менее подвержены отклонениям в отличие от резисторов. Кроме того, учитывая упомянутую ранее чувствительность конденсаторов к паразитным компонентам на топологии схемы, для емкостного сегмента целесообразно использование бинарной архитектуры из-за уменьшенной общей длины проводников. Резистивный сегмент при этом имеет унарную архитектуру и управляется МЗР. Так как резисторы более чувствительны к разбросу значений в результате производства в сравнении с конденсаторами, выбор унарной архитектуры обоснован гарантированной монотонностью передаточной характеристики. Резистивный сегмент формирует опорное напряжение для конденсатора $C_{\text{МЗР}}$ (см. рис. 1). Отклонения этого конденсатора являются дополнительным источником ошибки для сигнала сегмента, управляемого МЗР. Также рассматриваемая структура ЦАП содержит выходной буфер для предотвращения влияния нагрузки на передаточную характеристику.

В данной работе представлена разработка параметрической математической модели для рассматриваемого гибридного RC-ЦАП в программном пакете

MATLAB. Разрабатываемая модель используется для анализа влияния разброса элементов на дифференциальную и интегральную нелинейности ЦАП (DNL и INL соответственно).

2. Моделирование

Для разрабатываемой математической модели параметрами являются разрядность ЦАП N , разрядность емкостного сегмента K и среднее квадратичное отклонение σ . Модель формирует два массива элементов, соответствующих резистивному и емкостному сегментам: массив из 2^{N-K} резисторов и массив 2^K конденсаторов. К каждому элементу обоих массивов добавляется случайная ошибка, подчиняющаяся нормальному распределению. В данной работе было выбрано нормальное распределение, так как оно наиболее распространено для исследования влияния случайной ошибки [14]. Среднее квадратичное отклонение σ вводимой случайной ошибки зависит от типа элемента, к которому она добавляется (резистор или конденсатор), и определяется с помощью выражения

$$\sigma = \frac{A}{\sqrt{S}}, \quad (3)$$

где A – коэффициент Пелгрма для определенного типа элемента; S – площадь одного элемента. В настоящей работе использованы следующие коэффициенты Пелгрма для технологии КМОП 180 нм: $A_R = 1,49 \% \times \text{мкм}$ для резисторов и $A_C = 0,3 \% \times \text{мкм}$ для конденсаторов. Сопротивление одного резистора составляет 1650 Ом, его геометрические размеры равны 5 мкм на 1 мкм и среднее квадратичное отклонение σ_R составляет $6,7 \cdot 10^{-3}$. Емкость одного конденсатора составляет 235 пФ, его геометрические размеры равны 10 мкм на 10 мкм и среднее квадратичное отклонение σ_C составляет $0,3 \cdot 10^{-3}$. При указанных размерах элементов отношение площадей m составляет 0,05. При этом нелинейность характеристики преобразования ЦАП пропорциональна среднее квадратичному отклонению. Поэтому абсолютные значения среднее квадратичного отклонения не повлияют на выводы, сделанные в данном исследовании. Кроме того, в данной структуре ЦАП необходимо учитывать разброс конденсатора $C_{МЗР}$, управляемого резистивным сегментом, при формировании выходного сигнала ЦАП.

После формирования массивов рассчитываются передаточные характеристики ЦАП. Был проведен анализ по методу Монте-Карло, количество запусков которого составляет 10 000. Для каждой построенной передаточной характеристики были рассчитаны максимальные DNL и INL. На рис. 3 изображены гистограммы максимальных DNL и INL для четных разрядностей от 8 до 14 (для рассматриваемого случая $m = 0,05$, разрядности резистивного и емкостного сегментов равны). Результаты моделирования представлены для трех случаев: с учетом отклонений резисторов и конденсаторов, с учетом отклонений только конденсаторов и только резисторов.

Результаты демонстрируют увеличение обеих нелинейностей при росте разрядности N . Основной вклад в дифференциальную нелинейность дает учет разброса элементов старшего емкостного сегмента. Дополнительный учет разброса элементов младшего резистивного сегмента дает вклад не более 12 % и падает с ростом разрядности. Для наименьшей рассматриваемой разрядности ($N = 8$) вклад разброса младшего сегмента в интегральную нелинейность сопоставим со вкладом старшего сегмента (до 50 %). С ростом разрядности вклад младшего

сегмента падает до 11 %. Таким образом, с учетом того, что σ_R больше σ_C приблизительно в 20 раз, влияние разброса младшего резистивного сегмента в нелинейность невелико.

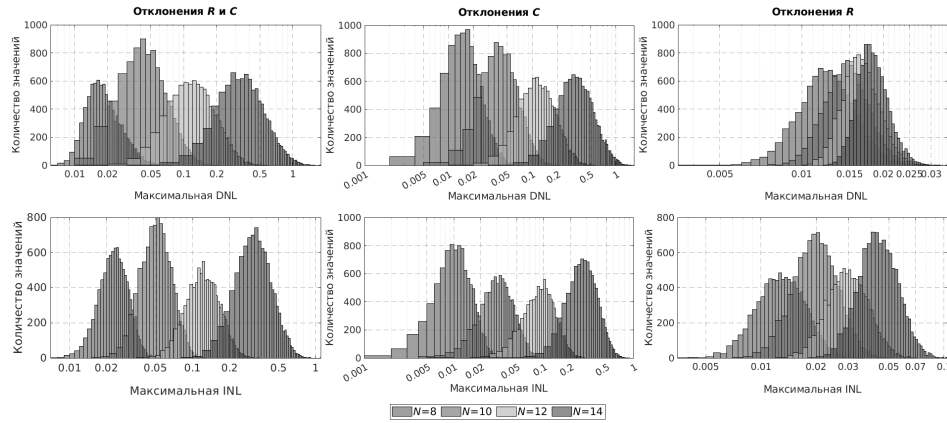
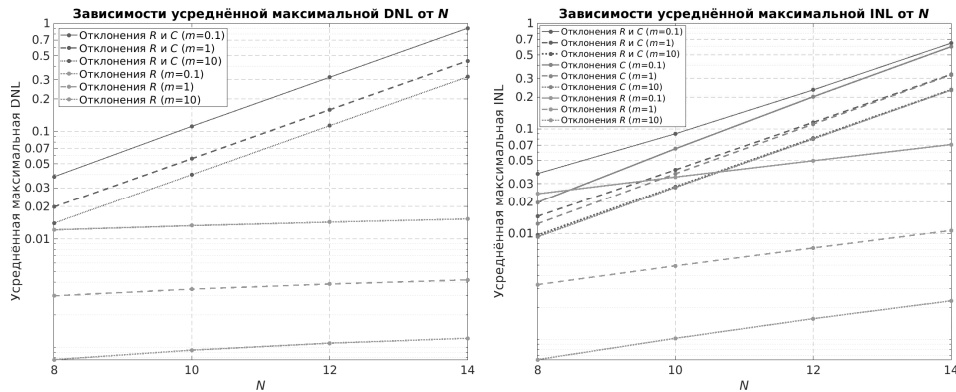
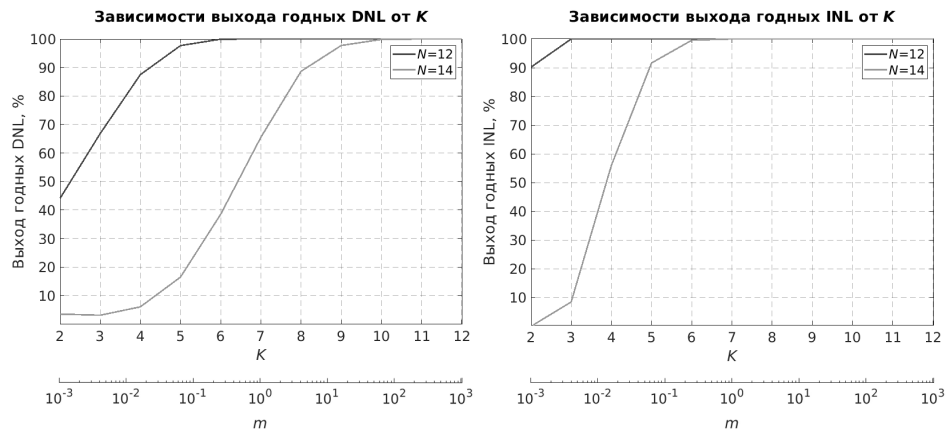


Рис. 3 – Гистограммы для максимальных DNL и INL

Fig. 3 – The histograms of maximum DNL and INL

На рис. 4 изображены зависимости усредненной по выборке максимальной DNL и INL соответственно от разрядности N . Кроме гомогенного случая, для которого $m = 1$, также представлены зависимости при двух других условиях: $m = 0,1$ и $m = 10$. Изменение коэффициента m осуществляется за счет изменения площади резисторов при зафиксированной площади конденсаторов. Аналогично построенным гистограммам рассмотрены четные разрядности ЦАП от 8 до 14. Согласно полученным результатам увеличение разрядности N приводит к ухудшению DNL и INL для всех рассмотренных случаев m . Заметно, что INL в большей степени подвержена влиянию отклонений резисторов в сравнении с DNL. В связи с тем, что вклад отклонений резисторов в DNL слаб, зависимости средней максимальной DNL с учетом емкостных отклонений очень близки к зависимостям, учитывающим оба типа отклонений (разница менее чем 1 %). Таким образом, на рис. 4 для DNL не показаны зависимости, учитывающие только отклонения конденсаторов. Увеличение m (что соответствует увеличению площади резисторов и снижению разрядности резистивного сегмента) приводит к улучшению обоих DNL и INL, так как конденсаторы в сравнении с резисторами менее подвержены влиянию отклонений элементов.

Рассмотрим влияние оптимальной разрядности емкостного сегмента $K_{\text{опт}}$ на выход годных DNL и INL с учетом разброса резисторов и конденсаторов. На рис. 5 приведены зависимости выхода годных DNL и INL от разрядности $K_{\text{опт}}$ при $N = 12$ и $N = 8$. На графиках также изображена соответствующая ось m в логарифмическом масштабе, значения на которой соответствуют оптимальной разрядности емкостного сегмента на оси $K_{\text{опт}}$. Для расчета выхода годных нелинейностей были выбраны пороговые значения, равные 0,5 МЗР и 1 МЗР для DNL и INL соответственно. Стоит отметить, что в диапазон рассматриваемых разрядностей K не включены значения, равные 1 и 13, так как одноразрядный сегмент не дает вклада в нелинейность.

Рис. 4 – Зависимости усредненных максимальных DNL и INL от N Fig. 4 – Dependences of mean maximum DNL and INL on N Рис. 5 – Зависимости выхода годных DNL и INL от K Fig. 5 – Dependences of DNL and INL yield on K

Согласно полученным зависимостям рост разрядности $K_{\text{опт}}$, соответствующий увеличению отношения площадей элементов m , приводит к улучшению выхода годных для обеих нелинейностей. Также при фиксированной разрядности емкостного сегмента $K_{\text{опт}}$ наблюдается ухудшение выхода годных с ростом разрядности ЦАП N , которое в рассматриваемом случае объясняется увеличением разрядности резистивного сегмента (более подверженного влиянию случайных ошибок).

Закключение

Цифроаналоговый преобразователь обеспечивает связь цифровой и аналоговой частей схемы, преобразуя входной цифровой код в выходной аналоговый сигнал – заряд, ток или напряжение. Объектом настоящей работы является гибридный RC-ЦАП, структура которого состоит из резисторов и конденсаторов, выполняющих роль взвешивающих элементов. Емкостный сегмент выполнен по бинарной архитектуре и управляется старшими значащими разрядами, в то время как резистивный сегмент имеет унарную архитектуру и управляется младшими

значащими разрядами. Рассматриваемая структура ЦАП выделяется за счет широкого диапазона выходного сигнала, обеспечиваемого выходным буфером и сниженным потреблением мощности. При этом такой ЦАП является высокоразрядным и обеспечивает высокую линейность характеристики преобразования.

Получено выражение для определения оптимальных разрядностей сегментов ЦАП в зависимости от отношения площадей элементов. Также в данной работе выполнен анализ влияния разброса элементов N -разрядного гибридного сегментного RC-ЦАП на DNL и INL. Для этой цели была разработана параметрическая математическая модель в среде MATLAB. Для моделирования резистивные и емкостные массивы сформировались с учетом влияния случайной ошибки.

Для минимизации площади ЦАП разрядности емкостного и резистивного сегментов должны выбираться близкими к оптимальному значению согласно полученному в работе выражению. При оптимальном выборе разрядностей сегментов и росте разрядности ЦАП нелинейность увеличивается. Для снижения нелинейности потребуются увеличение площади ЦАП либо за счет увеличения площади компонентов (резисторов и/или конденсаторов), либо за счет отказа от оптимального соотношения в пользу увеличения разрядности емкостного сегмента при сохранении той же площади компонентов.

При одинаковой разрядности сегментов, с учетом двадцатикратного отличия разброса резисторов и конденсаторов, вклад в нелинейность младшего резистивного сегмента оказывается невелик. Так как резистивный сегмент обрабатывает младшие разряды, то его влияние на DNL слабее, чем на INL (определяется переключением элементов с наибольшим весом, находящемся в старшем сегменте). В частности, при площади резистора, составляющей от 0,1 до 10 площадей конденсатора, вклад младшего резистивного сегмента в DNL на два порядка меньше, чем старшего емкостного. При увеличении разрядности и оптимальном выборе разрядности сегментов вклад младшего резистивного сегмента в INL снижается.

ЛИТЕРАТУРА

1. **Yenuchenko M.S., Pilipko M.M., Morozov D.V.** A 10-bit segmented M-string DAC // 2018 IEEE Conference of Russian Young Researchers in Electrical and Electronic Engineering (EIConRus). – IEEE, 2018. – P. 265–268. – DOI: 10.1109/EIConRus.2018.8317081.
2. **A 12-bit 200-kS/s SAR ADC with hybrid RC DAC / M.-R. Kim, Y.-O. Kim, Y.-S. Kwak, G.-C. Ahn** // 2014 IEEE Asia Pacific Conference on Circuits and Systems (APCCAS). – IEEE, 2014. – P. 185–188.
3. **Shahsavari S., Saberi M.** A highly linear 8-Bit M–2M digital-to-analog converter for neurostimulators // IEEE Transactions on Circuits and Systems II: Express Briefs. – 2020. – Vol. 67 (6). – P. 989–993.
4. **Lee T.-C., Lin C.-H.** Nonlinear R-2R Transistor-Only DAC // IEEE Transactions on Circuits and Systems I: Regular Papers. – 2010. – Vol. 57 (10). – P. 2644–2653.
5. **Seol H.-C., Hong S.-K., Kwon O.-K.** An area-efficient high-resolution resistor-string DAC with reverse ordering scheme for active matrix flat-panel display data driver ICs // Journal of Display Technology. – 2016. – Vol. 12 (8). – P. 828–834.
6. **A 12-bit multi-channel R-R DAC using a shared resistor string scheme for area-efficient display source driver / D. Jung, Y. Jung, T. Yoo, D. Yoon, B. Jung, T.T. Kim, K. Baek** // IEEE Transactions on Circuits and Systems I: Regular Papers. – 2018. – Vol. 65 (11). – P. 3688–3697.
7. **Lin M.P.-H., Hsiao V.W.-H., Lin C.-Y.** Parasitic-aware sizing and detailed routing for binary-weighted capacitors in charge-scaling DAC // 2014 51st ACM/EDAC/IEEE Design Automation Conference (DAC). – IEEE, 2014. – P. 1–6.
8. **Li Zhe, Lu Yuxiao, Mo Tingting.** Calibration for split capacitor DAC in SAR ADC // 2013 IEEE 10th International Conference on ASIC. – IEEE, 2013. – P. 1–4.

9. **Raj B.B., Sreekuma D.** A low power area efficient 10-bit SAR ADC with parasitic insensitive capacitive DAC // 2017 International Conference on Microelectronic Devices, Circuits and Systems (ICMDCS). – IEEE, 2017. – P. 1–4.
10. A 12bit 800MS/s and 1.37mW digital to analog converter (DAC) based on novel R-C technique / S. Mahdavi, R. Ebrahimi, A. Daneshdoust, A. Ebrahim // 2017 IEEE International Conference on Power, Control, Signals and Instrumentation Engineering (ICPCSI). – IEEE, 2017. – P. 163–166.
11. A 20MS/s 11-bit digital-to-analog converter using a combined capacitor and resistor network / M. Davidovic, A. Nemecek, G. Zach, H. Zimmermann // 2008 NORCHIP. – IEEE, 2008. – P. 85–88.
12. Area-efficient R-C DACs with low-offset push-pull output buffers for a 10-bit LCD source driver / H.-Y. Zheng, J.-H. Wang, C.-H. Tsai, C.-T. Chang, C.-C. Lee, C.-Y. Wang // 2009 IEEE International Symposium on Circuits and Systems. – IEEE, 2009. – P. 1597–1600.
13. Low-power 13-bit DAC with a novel architecture in SA-ADC / T. Aspökeh, A. Amini, A. Baradaranrezaei, M. Yazdani // 2018 25th International Conference "Mixed Design of Integrated Circuits and System" (MIXDES). – IEEE, 2018. – P. 165–168.
14. **Zeng T., Chen D.** An order-statistics based matching strategy for circuit components in data converters // IEEE Transactions on Circuits and Systems I: Regular Papers. – 2013. – Vol. 60 (1). – P. 11–24.

ANALYSIS OF THE EFFECT OF MISMATCH ON NONLINEARITY IN HYBRID RC-DAC

Yenuchenko M.S., Kvashina N.V., Pilipko M.M.

St. Petersburg Polytechnic University, Saint Petersburg, Russia

This paper is dedicated to the analysis of the effect of elements mismatch on the nonlinearity of N-bit hybrid segmented RC-digital-to-analog converter. In the structure of the hybrid digital-to-analog converter under consideration, a binary capacitive segment processes the most significant bits, whereas a unary resistive segment processes the least significant bits. Since the considered digital-to-analog converter is heterogenous, the elements of both segments differ by the type (resistors or capacitors) and area. This causes an optimal ratio of segments resolutions to shift in respect to the total DAC area minimization. Therefore, the goal of the current research is to obtain an expression for optimal segments resolutions in dependance on the ratio of unit capacitor and resistor areas. For this purpose, a parametric mathematical model of the considered converter has been developed in MATLAB. The elements arrays of both segments are influenced by random errors. The simulation of differential and integral nonlinearities has been carried out, which demonstrated a lower contribution of the resistive segment on nonlinearity, in contrast to the capacitive one. Besides, the increment of a capacitive segment resolution improves the yield of both nonlinearities.

Keywords: digital-to-analog converter, hybrid RC-DAC, mismatch, capacitive, resistive, nonlinearity, DNL, INL.

DOI: 10.17212/1727-2769-2024-2-32-42

REFERENCES

1. Yenuchenko M.S., Pilipko M.M., Morozov D.V. A 10-bit segmented M-string DAC. 2018 IEEE Conference of Russian Young Researchers in Electrical and Electronic Engineering (EIConRus). IEEE, 2018, pp. 265–268. DOI: 10.1109/EIConRus.2018.8317081.
2. Kim M.-R., Kim Y.-O., Kwak Y.-S., Ahn G.-C. A 12-bit 200-kS/s SAR ADC with hybrid RC DAC. 2014 IEEE Asia Pacific Conference on Circuits and Systems (APCCAS). IEEE, 2014, pp. 185–188.

3. Shahsavari S., Saberi M. A highly linear 8-Bit M–2M digital-to-analog converter for neurostimulators. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 2020, vol. 67 (6), pp. 989–993.
4. Lee T.-C., Lin C.-H. Nonlinear R-2R Transistor-Only DAC. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 2010, vol. 57 (10), pp. 2644–2653.
5. Seol H.-C., Hong S.-K., Kwon O.-K. An area-efficient high-resolution resistor-string DAC with reverse ordering scheme for active matrix flat-panel display data driver ICs. *Journal of Display Technology*, 2016, vol. 12 (8), pp. 828–834.
6. Jung D., Jung Y., Yoo T., Yoon D., Jung B., Kim T.T., Baek K. A 12-bit multi-channel R-R DAC using a shared resistor string scheme for area-efficient display source driver. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 2018, vol. 65 (11), pp. 3688–3697.
7. Lin M.P.-H., Hsiao V.W.-H., Lin C.-Y. Parasitic-aware sizing and detailed routing for binary-weighted capacitors in charge-scaling DAC. *2014 51st ACM/EDAC/IEEE Design Automation Conference (DAC)*. IEEE, 2014, pp. 1–6.
8. Li Zhe, Lu Yuxiao, Mo Tingting. Calibration for split capacitor DAC in SAR ADC. *2013 IEEE 10th International Conference on ASIC*. IEEE, 2013, pp. 1–4.
9. Raj B.B., Sreekuma D. A low power area efficient 10-bit SAR ADC with parasitic insensitive capacitive DAC. *2017 International conference on Microelectronic Devices, Circuits and Systems (ICMDCS)*. IEEE, 2017, pp. 1–4.
10. Mahdavi S., Ebrahimi R., Daneshdoust A., Ebrahim A. A 12bit 800MS/s and 1.37mW Digital to Analog Converter (DAC) based on novel R-C technique. *2017 IEEE International Conference on Power, Control, Signals and Instrumentation Engineering (ICPCSI)*. IEEE, 2017, pp. 163–166.
11. Davidovic M., Nemecek A., Zach G., Zimmermann H. A 20MS/s 11-bit digital-to-analog converter using a combined capacitor and resistor network. *2008 NORCHIP*. IEEE, 2008, pp. 85–88.
12. Zheng H.-Y., Wang J.-H., Tsai C.-H., Chang C.-T., Lee C.-C., Wang C.-Y. Area-efficient R-C DACs with low-offset push-pull output buffers for a 10-bit LCD source driver. *2009 IEEE International Symposium on Circuits and Systems*. IEEE, 2009, pp. 1597–1600.
13. Aspökeh T., Amini A., Baradaranrezaei A., Yazdani M. Low-power 13-bit DAC with a novel architecture in SA-ADC. *2018 25th International Conference "Mixed Design of Integrated Circuits and System" (MIXDES)*. IEEE, 2018, pp. 165–168.
14. Zeng T., Chen D. An order-statistics based matching strategy for circuit components in data converters. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 2013, vol. 60 (1), pp. 11–24.

СВЕДЕНИЯ ОБ АВТОРАХ



Енученко Михаил Сергеевич – родился в 1990 году, канд. техн. наук, доцент, Высшая школа электроники и микросистемной техники, Санкт-Петербургский политехнический университет Петра Великого. Область научных интересов: цифроаналоговый преобразователь (ЦАП). Опубликовано 47 научных работ. (Адрес: 195251, Россия, г. Санкт-Петербург, ул. Политехническая, д. 29/2. E-mail: mixeme@outlook.com).

Yenuchenko Mikhail Sergeevich (b. 1990) – Candidate of Sciences (Eng.), in Electronics & Engineering, associate professor, Higher School of Electronics and Micro-Electro-Mechanical Systems, St. Petersburg Polytechnic University. His research interests are currently focused on digital-to-analog converters (DAC). He is the author of 47 scientific papers. (Address: 29, Polytechnicheskaya St., St. Petersburg, 195251, Russia. E-mail: mixeme@outlook.com).



Квашина Наталья Владимировна – родилась в 1999 году, инженер, ассистент, Высшая школа электроники и микросистемной техники, Санкт-Петербургский политехнический университет Петра Великого. Область научных интересов: цифроаналоговый преобразователь (ЦАП), цифровая калибровка ЦАП. Опубликовано 7 научных работ. (195251, Россия, г. Санкт-Петербург, ул. Политехническая, д. 29/2. E-mail: kvashina.nv@gmail.com).

Kvashina Natalya Vladimirovna (b. 1999) – engineer, assistant professor, Higher School of Electronics and Micro-Electro-Mechanical Systems, St. Petersburg Polytechnic University. Her research interests are currently focused on digital-to-analog converters (DAC) and digital calibration of DAC. She is the author of 10 scientific papers. (Address: 29, Polytechnicheskaya St., St. Petersburg, 195251, Russia. E-mail: kvashina.nv@gmail.com).



Пилипко Михаил Михайлович – родился в 1984 году, канд. техн. наук, доцент, доцент, Высшая школа электроники и микросистемной техники, Санкт-Петербургский политехнический университет Петра Великого. Область научных интересов: аналого-цифровой преобразователь (АЦП), цифроаналоговый преобразователь (ЦАП), цифровая и аналоговая схемотехника. Опубликовано 76 научных работ. (Адрес: 195251, Россия, г. Санкт-Петербург, ул. Политехническая, д. 29/2. E-mail: mpilipko@mail.ru).

Pilipko Mikhail Mikhailovich (b. 1984) – Candidate of Sciences (Eng.), in Electronics & Engineering, associate professor, Higher School of Electronics and Micro-Electro-Mechanical Systems, St. Petersburg Polytechnic University. His research interests are currently focused on analog, digital, and mixed-signal circuits, analog-to-digital converters (ADC), digital-to-analog converters (DAC), and digital and analog circuit engineering. He is the author of 76 scientific papers. (Address: 29, Polytechnicheskaya St., St. Petersburg, 195251, Russia. E-mail: mpilipko@mail.ru).

Статья поступила 15 декабря 2023 г.
Received December 15, 2023

To Reference:

Yenuchenko M.S., Kvashina N.V., Pilipko M.M. Analiz vliyaniya otklonenii na nelineinost' v gibridnom RC-TsAP [Analysis of the effect of mismatch on nonlinearity in hybrid RC-DAC]. *Doklady Akademii nauk vysshei shkoly Rossiiskoi Federatsii = Proceedings of the Russian higher school Academy of sciences*, 2024, no. 2 (63), pp. 32–42. DOI: 10.17212/1727-2769-2024-2-32-42.