

## МОДЕЛИРОВАНИЕ ПРОЦЕССОВ И УСТРОЙСТВ

УДК621.382

### ПРИМЕНЕНИЕ НЕЙРОННЫХ СЕТЕЙ В ПЕТЛЕ ФАПЧ\*

В.А. СКОЛОТА<sup>1</sup>, И.А. БЕЛОВА<sup>2</sup>, М.В. МАРТИНОВИЧ<sup>3</sup>

<sup>1</sup> 630073, РФ, г. Новосибирск, пр. Карла Маркса, 20, Новосибирский государственный технический университет, аспирант кафедры электроники и электротехники. E-mail:sva008@yandex.ru

<sup>2</sup> 630073, РФ, г. Новосибирск, пр. Карла Маркса, 20, Новосибирский государственный технический университет, аспирант кафедры электроники и электротехники. E-mail:ira.belowa@gmail.com

<sup>3</sup> 630073, РФ, г. Новосибирск, пр. Карла Маркса, 20, Новосибирский государственный технический университет, кандидат технических наук, доцент кафедры электроники и электротехники. E-mail:martinovich\_m@mail.ru

В данной статье проведено теоретическое исследование возможности улучшения петли фазовой автоподстройки частоты с применением искусственных нейронных сетей. Проанализированы два основных варианта применения нейронной сети в петле ФАПЧ. Первый вариант – это ФАПЧ с нейросетевым частотным детектором, дополняющим фазочастотный детектор ФАПЧ, но реагирующим только на разность частот входных сигналов. Второй вариант – это и ФАПЧ с дополнительным фильтром на основе нейронных сетей, стоящим последовательно с основным фильтром. Было рассмотрено влияние ИНС на переходные процессы в петле ФАПЧ, сравнивались результаты работы улучшенных схем с результатами работы схемы без улучшений. В результате чего было обнаружено, что данные варианты по-разному влияют на процессы, протекающие в ФАПЧ: обе схемы ускоряют переходный процесс, влияют на разные участки. Первая схема ускоряет процесс подстройки частоты, вторая схема ускоряет процесс подстройки фазы. На основе этих результатов был синтезирован третий вариант, в котором объединялись оба способа применения нейронной сети. В результате было обнаружено, что синтез различных применений НС в ФАПЧ дает наиболее оптимальные результаты с точки зрения ускорения переходных процессов в петле ФАПЧ. В статье приведены временные диаграммы переходных процессов всех рассмотренных схем. В качестве базовой схемы была взята схема ФАПЧ с фазочастотным детектором и фильтром на основе изодромного звена. Времена переходных процессов в выбранной схеме малы, в реальной схеме переходные процессы будут более длительными, а значит, и более явными будут преимущества применений ИНС в ФАПЧ.

**Ключевые слова:** фазовая автоподстройка частоты, фильтр низких частот, искусственная нейронная сеть, фазочастотный детектор, переходный процесс, подстройка частоты, подстройка фазы; генератор, управляемый напряжением

DOI: 10.17212/2307-6879-2016-2-77-87

---

\* Статья получена 4 апреля 2016 г.

## ВВЕДЕНИЕ

Одной из важных задач современной электронной аппаратуры является разработка синтезаторов частоты. В настоящее время распространена классификация синтезаторов частоты, в которой их принято разделять на три категории: аналоговые, цифровые и реализованные с ФАПЧ (фазовая автоподстройка частоты). Авторами статьи [1] подробно описана систематизация по областям применения и этапам развития синтезаторов частоты.

Главной задачей данной статьи является улучшение временных характеристик петли ФАПЧ с помощью применения в схеме ИНС (искусственные нейронные сети). Теоретическое исследование влияния ИНС на схему, положительные и отрицательные стороны их использования.

Интеллектуальные системы на основе искусственных нейронных сетей позволяют с успехом решать различные задачи, в то время как традиционные подходы к решению этих проблем не всегда дают необходимую гибкость. Искусственные нейронные сети с успехом применяются в различных направлениях, таких как медицинская диагностика, управление электродвигателями [2, 3] а также управление для систем преобразования энергии от солнечных батарей [4].

Попытки рассмотреть способы применения НС (нейронные сети) в ФАПЧ предпринимались в статьях [5–9].

Наиболее широко распространенным способом реализации ИНС является реализация на ПЛИС [10–11], однако возможна также реализация на микроконтроллере или дискретной логике [12]. Также возможны и аналоговые реализации ИНС [13–15].

Для анализа временных характеристик рассмотрена схема, основанная на классической схеме петли ФАПЧ.

## 1. РАБОТА ФАПЧ

В качестве схемы петли ФАПЧ была использована схема на рис. 1. На вход фазочастотного детектора поступают два сигнала: тактовый сигнал и сигнал обратной связи со счетчика-делителя. Фазочастотный детектор управляет блоком подкачки заряда, который заряжает и разряжает фильтр низких частот. От величины тока подкачки зависит как точность настройки выходного напряжения, так и скорость схождения петли ФАПЧ к требуемой частоте. Чем меньше ток, тем точнее петля ФАПЧ, но тем дольше она настраивается. Напряжение фильтра преобразуется и усиливается усилителем. Выходное напряжение усилителя питает генератор, управляемый напряжением. Частота

с генератора поступает на выход схемы и на счетчик-делитель. Коэффициент деления счетчика определяет коэффициент умножения петли ФАПЧ.

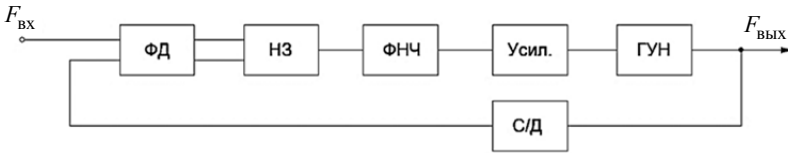


Рис. 1. Структурная схема ФАПЧ

Процесс схождения петли можно разбить на два участка: схождение к требуемой частоте и подстройка фазы. На рис. 2 приведен процесс схождения на примере напряжения на фильтре нижних частот. Для удобства построен график петли с небольшим фильтром и большим током подкачки. Благодаря этому схождение к требуемой частоте занимает 15 мкс, что является очень маленьким временем для таких систем. Процесс подстройки фазы приведен на рис. 3.

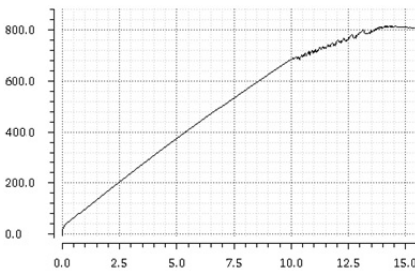


Рис. 2. Подстройка частоты

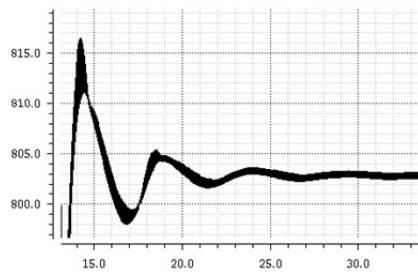


Рис. 3. Подстройка фазы

В реальных системах время настройки петли может занимать от десятков микросекунд до нескольких секунд. Уменьшение этого времени является важной задачей, так как это позволит использовать более точные схемы без потери времени выхода в рабочий режим.

## 2. ПРИМЕНЕНИЕ ИНС

Рассмотрим возможности улучшения данной схемы с помощью нейронных сетей.

1. *Дополнительный частотный детектор (ЧД) для регулировки напряжения фильтра в зависимости от разности частот на фазовом детекторе.*

Данный блок регулировки подключается параллельно основному фазовому детектору и получает на вход те же частоты. Выход блока влияет на фильтр. Результатом работы данного блока будет ускорение процесса схождения системы ФАПЧ к нужной частоте. В отличие от основного фазового детектора, он не отслеживает фазу входного и выходного сигналов и работает, только когда разность частот достигает некоторой величины.

2. *Дополнительный фильтр на НС для обработки сигналов, поступающих с основного фильтра.* Предполагается, что применение нейронной сети позволит уменьшить амплитуду колебаний сигнала управления генератором в установившемся режиме, что особенно актуально при небольших фильтрах. Также данная сеть уменьшит переколебания при переходном процессе в петле ФАПЧ.

3. *Совместное использование п. 1 и п. 2.* Результатом работы будет совмещение ускоренного схождения к частоте и уменьшенных переколебаний.

Далее более подробно рассмотрим каждый вариант.

### 3. ФАПЧ С ЧАСТОТНЫМ ДЕТЕКТОРОМ

Структурная схема ФАПЧ с дополнительным частотным детектором приведена на рис. 4. Данная схема отличается от стандартной петли ФАПЧ наличием искусственной нейронной сети и дополнительного блока накачки заряда (НЗ). На вход нейронной сети приходят частота обратной связи и входная частота, преобразованные в напряжения. В зависимости от разности частот нейронная сеть управляет блоком подкачки заряда для ускорения процесса схождения петли ФАПЧ.

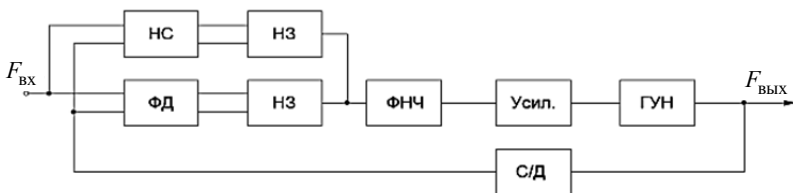


Рис. 4. Структурная схема с дополнительным частотным детектором

На рис. 5 проиллюстрировано напряжение фильтра как пример процесса подстройки частоты выходного сигнала под частоту входного сигнала.

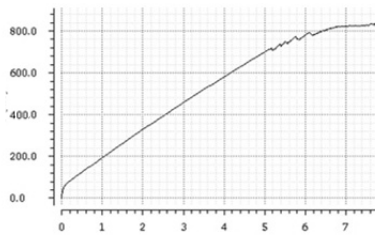


Рис. 5. Процесс подстройки частоты в схеме с ЧД

Сравнивая рис. 2 и 5, можно заметить некоторое ускорение процесса подстройки частоты в схеме с ЧД по отношению к схеме классической ФАПЧ. Ускорение процесса подстройки частоты особенно заметно в схемах с большими фильтрами или с малым шагом подстройки.

#### 4. ФАПЧ С ФИЛЬТРОМ НА ОСНОВЕ ИНС

Структурная схема петли ФАПЧ с дополнительным фильтром на основе ИНС приведена на рис. 6. Данная схема отличается от стандартной наличием нейронной сети после фильтра низких частот. Усиленное напряжение на выходе нейронной сети управляет блоком ГУН.

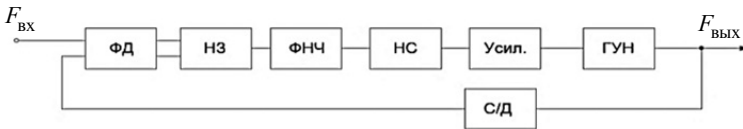


Рис. 6. Структурная схема с фильтром на ИНС

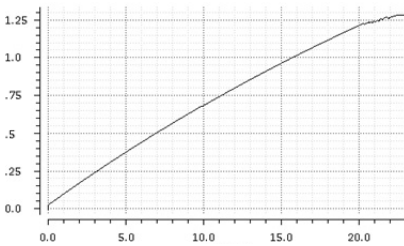


Рис. 7. Подстройка частоты

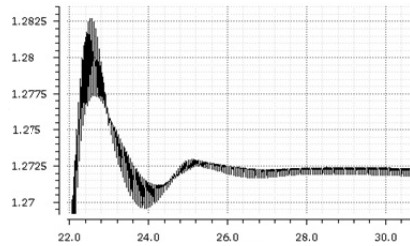


Рис. 8. Подстройка фазы

При этом напряжение фильтра в устойчивом состоянии для данной схемы будет другим, что повлияет на время подстройки частоты. Из рис. 7 видно, что в данном случае время подстройки частоты увеличилось.

Однако основная задача данной схемы – это уменьшение времени переколебаний в переходном процессе. На рис. 8 приведен процесс подстройки фаз входного и выходного сигнала, который и является причиной переколебаний в переходном процессе.

## 5. ОБЪЕДИНЕНИЕ ДВУХ НС В ОДНОЙ СХЕМЕ

Данная схема содержит две нейронные сети, расположенные в соответствии с предыдущими схемами (рис. 9).

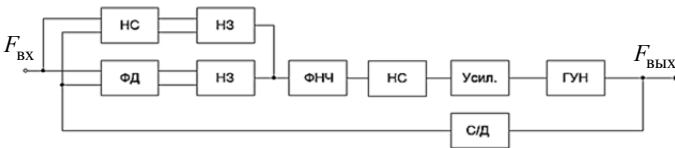


Рис. 9. Структурная схема с нейросетевой корректировкой напряжения фильтра и с нейросетевым исправлением сигнала фильтра

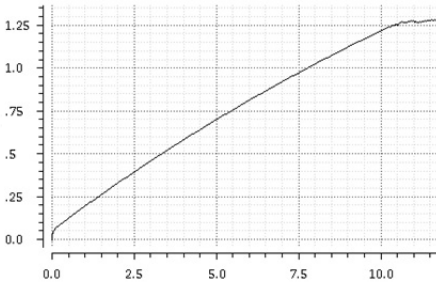


Рис. 10. Подстройки частоты

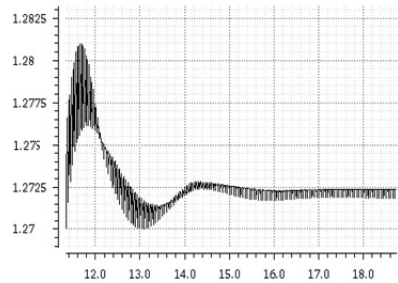


Рис. 11. Подстройки фазы

На рис. 10 приведен процесс подстройки частоты в данной схеме на примере напряжения фильтра. Время подстройки частоты уступает только аналогичному времени в схеме с корректировкой напряжения фильтра. При этом скорость подстройки частоты одинаковая, что видно из рис. 5 и 10, и разница во времени обеспечивается только разными уровнями напряжения фильтра в установившемся режиме. На рис. 11 приведен процесс подстройки

фазы выходного сигнала под фазу входного сигнала. Из этого рисунка также видно, что время выхода в установившийся режим является наилучшим из всех вариантов исполнения схемы ФАПЧ, рассмотренных в данной статье.

## 6. АНАЛИЗ РЕЗУЛЬТАТОВ

В таблице сравниваются времена подстройки частоты, подстройки фазы и общее время перехода в установившийся режим для рассмотренных выше схем.

**Время подстройки**

Схема	Частоты, мкс	Фазы, мкс	Общее время, мкс
Классическая схема ФАПЧ	15	15	30
ФАПЧ с ЧД	8	15	23
ФАПЧ с фильтром на НС	22	5	27
ФАПЧ с ЧД и фильтром на НС	12	5	17

Из таблицы видно, что все три схемы ФАПЧ с применением ИНС ускоряют переходный процесс. Наилучшие результаты показала схема, синтезированная из схемы с дополнительным ЧД и схемы с дополнительным фильтром. При этом схема с дополнительным ЧД имеет лучшее время подстройки частоты, однако за счет большей подстройки фазы она проигрывает синтезированной схеме. Схема с дополнительным фильтром имеет хорошее время подстройки фазы, но сильно затянутый процесс подстройки частоты, что делает ее слабо применимой без дополнительного ускорения переходного процесса.

## ЗАКЛЮЧЕНИЕ

В данной статье рассмотрены два способа улучшения петли ФАПЧ с помощью искусственной нейронной сети. Было проанализировано влияние нейронных сетей на схему. Результат показал, что оба способа по-разному влияют на процессы, происходящие в петле ФАПЧ. Первый способ корректировки напряжения фильтра ускоряет процесс подстройки входной и выходной частот. Второй способ исправления сигнала фильтра ускоряет процесс подстройки фаз входного и выходного сигналов, однако замедляет процесс подстройки частот. Было принято решение синтезировать оба способа. В таком случае получаются наилучшие результаты в плане ускорения переходного процесса в петле ФАПЧ.

**СПИСОК ЛИТЕРАТУРЫ**

1. Формирование прецизионных частот и сигналов: учебное пособие / Н.П. Ямгурин, В.В. Болотнев, Е.В. Сафонова, Е.Б. Жалнин. – Н. Новгород: Изд-во ННГТУ, 2003. – 187 с.

2. *Magnier L., Haghghat F.* Multiobjective optimization of building design using TRNSYS simulations, genetic algorithm, and artificial neural network // *Building and Environment*. – 2010. – Vol. 45, iss. 3. – P. 739–746.

3. *Al-Shayea Q.K.* Artificial neural networks in medical diagnosis // *International Journal of Computer Science Issues*. – 2011. – Vol. 8, iss. 2. – P. 150–154.

4. *Belova I.A., Martinovich M.V.* Neural network control algorithm for stand-alone solar cell electrical energy conversion system // *Proceedings of the 16<sup>th</sup> International Conference of Young Specialists on Micro/Nanotechnologies and Electron Devices (EDM 2015)*, Altai, Erlagol, 29 June – 3 July 2015. – Novosibirsk, 2015. – P. 387–390.

5. *Raoof M., Suratgar A.A.* Adaptive control of PLL using neural network // *Journal of the Franklin Institute*. – 2009. – Vol. 346, iss. 1. – P. 81–93.

6. *Mojtaba Saeedi moghadam M.D.* Proposing a new phase locked loop using ADALINE neural network // *Technical Journal of Engineering and Applied Sciences*. – 2013. – Vol. 3 (21). – P. 2921–2927.

7. *Menbari B., Suratgar A.A.* A low-power low-voltage VCO with wide range tuning controlled by adaptive neural network // *IEEE International Frequency Control Symposium and Exposition, Miami, FL, 5–7 June 2006*. – Piscataway, NJ: IEEE, 2006. – P. 567–574.

8. *Dai W., Xie Y., Yang H.* A PLL control based on algorithm of BP neural network // *CIMSA 2009 – IEEE International Conference on Computational Intelligence for Measurement Systems and Applications*, Hong Kong, China, 11–13 May 2009. – Hong Kong, 2009. – P. 97–101.

9. *Liu W.-P., Chiang C.-K.* Phase-locked loop with neurocontroller // *SICE '98. Proceedings of the 37<sup>th</sup> SICE Annual Conference. International Session Papers*, 29–31 July 1998. – Tokyo, Japan: Society of Instrument and Control Engineers, 1998. – P. 1133–1138.

10. *Abrol S., Mahajan R.* Implementation of single artificial neuron using various activation functions and XOR gate on FPGA chip // *Second International Conference on Advances in Computing and Communication Engineering (ICACCE 2015)*, Dehradun, India, 1–2 May 2015. – Piscataway, NJ: IEEE, 2015. – P. 118–123.

11. Controlled accuracy approximation of sigmoid function for efficient FPGA-based implementation of artificial neurons / I. Del Campo, R. Finker, J. Echanobe, K. Basterretxea // *Electronics Letters*. – 2013. – Vol. 49, iss. 25. – P. 1598–1600.

12. *Kwon T.M., Valdez M.E.* Implementation of a programmable artificial neuron using discreet logic // *Southeastcon '89. Proceedings. Energy and Information Technologies in the Southeast*, 9–12 April 1989. – Columbia, SC: IEEE, 1989. – Vol. 1. – P. 181–186.



13. *Varshavsky V.* CMOS artificial neuron on the base of  $\beta$ -driven threshold element // IEEE International Conference on Systems, Man, and Cybernetics, San Diego, CA, 11–14 October 1998. – Piscataway, NJ: IEEE, 1998. – Vol. 2. – P. 1857–1861.

14. *Hernandez E.D.M., Lee G., Farhat N.H.* Analog realization of arbitrary one-dimensional maps // IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications. – 2003. – Vol. 50, iss. 12. – P. 1538–1547.

15. *Milev M., Hristov M.* Analog implementation of ANN with inherent quadratic nonlinearity of the synapses // IEEE Transactions on Neural Networks. – 2003. – Vol. 14, iss. 5. – P. 1187–1200.

**Сколота Владимир Александрович**, аспирант кафедры электроники и электротехники Новосибирского государственного технического университета. Основные направления научных исследований: наноэлектроника, искусственные нейронные сети. E-mail: sva008@yandex.ru

**Белова Ирина Анатольевна**, аспирант кафедры электроники и электротехники Новосибирского государственного технического университета. Основные направления научных исследований: солнечная энергетика, искусственные нейронные сети. E-mail: ira.belowa@gmail.com

**Мартинович Мирослав Владимирович**, кандидат технических наук, доцент кафедры электроники и электротехники Новосибирского государственного технического университета. Основное направление научных исследований – искусственные нейронные сети. E-mail: martinovich\_m@mail.ru

## Application of Neural Networks in The Loop PLL\*

V.A. Skolota<sup>1</sup>, I.A. Belova<sup>2</sup>, M.V. Martinovich<sup>3</sup>

<sup>1</sup> 630073, Russia, Novosibirsk, PR. Karla Marksa, 20, Novosibirsk state technical university, postgraduate student of department of electronics and electrical engineering. E-mail: sva008@yandex.ru

<sup>2</sup> 630073, Russia, Novosibirsk, PR. Karla Marksa, 20, Novosibirsk state technical university, postgraduate student of department of electronics and electrical engineering. E-mail: ira.belowa@gmail.com

<sup>3</sup> 630073, Russia, Novosibirsk, PR. Karla Marksa, 20, Novosibirsk state technical university, candidate of technical sciences, docent of department of electronics and electrical engineering. E-mail: martinovich\_m@mail.ru

In this paper, a theoretical study of the possibility of improving the phase-locked loop (PLL) with the use of artificial neural networks (ANN). Analyzed two basic options for the application of a neural network in the loop PLL. The first option is a PLL frequency detector with a

---

\* Received 04 April 2016.

neural network, a complementary phase-frequency detector PLL but responds only to the difference between the input signal frequency. The second embodiment is a PLL and an additional filter based on neural networks (NN) facing in series with the primary filter. It considers the influence of the INS to transients in the loop PLL, compared the results of the improved schemes with the results of the scheme without improvements. As a result, it was found that these embodiments differently affect the processes occurring in the PLL: both circuits accelerate transient effect on different portions. The first scheme accelerates the process of frequency control, the second phase locked circuit accelerates the process. Based on these results, it was synthesized by the third embodiment in which both methods combined neural network application. As a result, it was found that the synthesis of the various PLL applications NA gives the best results in terms of acceleration transient in the loop PLL. The article presents the timing charts of all transients considered schemes. As a basic scheme was taken to the PLL phase-frequency detector and a filter on the basis of PID link. The transition processes in the chosen scheme are small, in the actual circuit transients will be longer, and therefore will be more apparent advantages of ANN applications in PLL.

**Keywords:** The phase-locked loop, a low-pass filter, artificial neural network, the phase-frequency detector, transient, frequency tuning, tuning phase, voltage controlled oscillator

DOI: 10.17212/2307-6879-2016-2-77-87

## REFERENCES

1. Yampurin N.P., Bolotnev V.V., Safonova E.V., Zhálnin E.B. *Formirovanie pretsizionnykh chastot i signalov* [Formation precision frequencies and signals]. Nizhny Novgorod, NNSTU Publ., 2003. 187 p.
2. Magnier L., Haghghat F. Multiobjective optimization of building design using TRNSYS simulations, genetic algorithm, and artificial neural network. *Building and Environment*, 2010, vol. 45, iss. 3, pp. 739–746.
3. Al-Shayea Q.K. Artificial neural networks in medical diagnosis. *International Journal of Computer Science Issues*, 2011, vol. 8, iss. 2, pp. 150–154.
4. Belova I.A., Martinovich M.V. Neural network control algorithm for stand-alone solar cell electrical energy conversion system. *Proceedings of the 16<sup>th</sup> International Conference of Young Specialists on Micro/Nanotechnologies and Electron Devices (EDM 2015)*, Altai, Erlagol, 29 June – 3 July 2015, pp. 387–390.
5. Raoof M., Suratgar A.A. Adaptive control of PLL using neural network. *Journal of the Franklin Institute*, 2009, vol. 346, iss. 1, pp. 81–93.
6. Mojtaba Saeedi moghadam M.D. Proposing a new phase locked loop using ADALINE neural network. *Technical Journal of Engineering and Applied Sciences*, 2013, vol. 3 (21), pp. 2921–2927.
7. Menbari B., Suratgar A.A. A low-power low-voltage VCO with wide range tuning controlled by adaptive neural network. *IEEE International Frequency Control Symposium and Exposition*, Miami, Fl, 5–7 June 2006, pp. 567–574.
8. Dai W., Xie Y., Yang H. A PLL control based on algorithm of BP neural network. *CIMSA 2009 – IEEE International Conference on Computational Intelli-*

gence for Measurement Systems and Applications, Hong Kong, China, 11–13 May 2009, pp. 97–101.

9. Liu W.-P., Chiang C.-K. Phase-locked loop with neurocontroller. *SICE '98. Proceedings of the 37<sup>th</sup> SICE Annual Conference. International Session Papers*, 29–31 July 1998. Tokyo, Japan, Society of Instrument and Control Engineers, 1998, pp. 1133–1138.

10. Abrol S., Mahajan R. Implementation of single artificial neuron using various activation functions and XOR gate on FPGA chip. *Second International Conference on Advances in Computing and Communication Engineering (ICACCE 2015)*, Dehradun, India, 1–2 May 2015, pp. 118–123.

11. Finker R., Echanobe J., Del Campo I., Basterretxea K. Controlled accuracy approximation of sigmoid function for efficient FPGA-based implementation of artificial neurons. *Electronics Letters*, 2013, vol. 49, iss. 25, pp. 1598–1600.

12. Kwon T.M., Valdez M.E. Implementation of a programmable artificial neuron using discreet logic. *Southeastcon '89. Proceedings. Energy and Information Technologies in the Southeast*, Columbia, SC, 9–12 April 1989, vol. 1, pp. 181–186.

13. Varshavsky V. CMOS artificial neuron on the base of  $\beta$ -driven threshold element. *IEEE International Conference on Systems, Man, and Cybernetics*, San Diego, CA, 11–14 October 1998, vol. 2, pp. 1857–1861.

14. Hernandez E.D.M., Lee G., Farhat N.H. Analog realization of arbitrary one-dimensional maps. *IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications*, 2003, vol. 50, iss. 12, pp. 1538–1547.

15. Milev M., Hristov M. Analog implementation of ANN with inherent quadratic nonlinearity of the synapses. *IEEE Transactions on Neural Networks*, 2003, vol. 14, iss. 5, pp. 1187–1200.